

501.43253X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): TAKAHASHI, et al
Serial No.:
Filed: November 28, 2003
Title: SEMICONDUCTOR MEMORY DEVICE AND
SEMICONDUCTOR INTEGRATED CIRCUIT
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 28, 2003

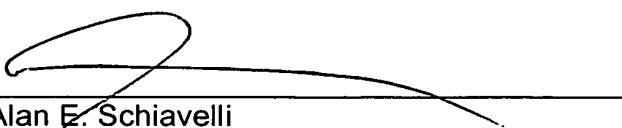
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-347998 filed November 29, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Alan E. Schiavelli
Registration No. 32,087

AES/GEM/nac
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月29日
Date of Application:

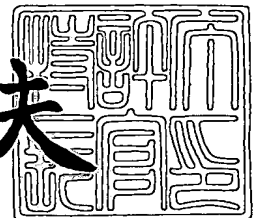
出願番号 特願2002-347998
Application Number:
[ST. 10/C]: [JP2002-347998]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 H02013111

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 高橋 保彦

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 田中 孝征

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100089071

 【弁理士】

 【氏名又は名称】 玉村 静世

 【電話番号】 03-5217-3960

【手数料の表示】

 【予納台帳番号】 011040

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び半導体集積回路

【特許請求の範囲】

【請求項 1】 データを伝達するための第 1 ビット線と、上記第 1 ビット線と相補レベルの関係にある第 2 ビット線と、

第 1 トランジスタのドレイン電極と、第 2 トランジスタのゲート電極とが結合されて第 1 ノードが形成され、上記第 2 トランジスタのドレイン電極と、上記第 1 トランジスタのゲート電極とが結合されて第 2 ノードが形成された記憶部と、

ワード線の電圧レベルに応じて上記第 1 ノードを第 1 ビット線に結合可能な p チャネル型の第 3 トランジスタと、

ワード線の電圧レベルに応じて上記第 2 ノードを上記第 2 ビット線に結合可能な p チャネル型の第 4 トランジスタと、

上記第 1, 第 2 トランジスタのソース電位と上記ワード線の選択レベルの電位との差が、上記第 3, 第 4 トランジスタのしきい値以上となる条件で設定された電圧を上記第 1, 第 2 トランジスタのソース電極に供給可能な電源回路と、を含み、

上記第 3, 第 4 トランジスタは縦型構造とされ、上記第 3 トランジスタは上記第 1 トランジスタに積層され、上記第 4 トランジスタは上記第 2 トランジスタに積層されて成ることを特徴とする半導体記憶装置。

【請求項 2】 ワード線の選択レベルの電位はグラウンドレベルとされた請求項 1 記載の半導体記憶装置。

【請求項 3】 上記電源回路は、上記第 1, 第 2 トランジスタのソース電極とグラウンドとに接続された第 5 トランジスタと、

与えられた基準電圧と上記第 1, 第 2 トランジスタのソース電位との差分を求め、それに基づいて上記第 5 トランジスタのオン抵抗を制御するための誤差増幅器と、を含んで成る請求項 2 記載の半導体記憶装置。

【請求項 4】 第 1 メモリセルがアレイ状に配置されて成る第 1 メモリセル領域と、

上記第 1 メモリセルとは構造が異なる第 2 メモリセルがアレイ状に配置されて

成る第2メモリセル領域と、

上記第1メモリセル領域と上記第2メモリセル領域とで共有される周辺回路と、を含む半導体記憶装置であって、

上記第1メモリセルは、

nチャネル型の第1MOSトランジスタとnチャネル型の第2MOSトランジスタトランジスタとが結合されて成る記憶部と、

上記第1MOSトランジスタのドレイン電極と、上記第2MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第3MOSトランジスタと、

上記第2MOSトランジスタのドレイン電極と、上記第1MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第4MOSトランジスタと、を含み、

上記第3、第4MOSトランジスタは縦型構造とされ、上記第3MOSトランジスタは、上記第1MOSトランジスタに積層され、上記第4MOSトランジスタは上記第2MOSトランジスタに積層されて成り、

上記第2メモリセルは、

pチャネル型の第5MOSトランジスタと、nチャネル型の第6MOSトランジスタとが直列接続されて成る第1インバータと、pチャネル型の第7MOSトランジスタとnチャネル型の第8MOSトランジスタとが直列接続されて成る第2インバータと、がループ状に結合されて成る記憶部を含み、

上記第5、第7MOSトランジスタは縦型構造とされ、上記第5MOSトランジスタは上記第6MOSトランジスタに積層され、上記第7MOSトランジスタは、上記第8MOSトランジスタに積層されて成ることを特徴とする半導体記憶装置。

【請求項5】 上記第1メモリセルアレイにおけるビット線の配列ピッチと、上記第2メモリセルアレイにおけるビット線の配列ピッチとが等しくされることが、上記第1メモリセルアレイと上記第2メモリセルアレイとの間でビット線が共通化されて成る請求項4記載の半導体記憶装置。

【請求項6】 上記第1メモリセルアレイと上記第2メモリセルアレイとの

間でビット線配列ピッチが異なるとき、上記第1メモリセルアレイのビット線と、上記第2メモリセルアレイのビット線との間には、それらを選択的に結合するためのセクタが介在されて成る請求項4記載の半導体記憶装置。

【請求項7】 上記第3、第4MOSトランジスタは、チャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加された状態で、上記記憶部におけるハイレベル側のデータを保持するように設定されて成る請求項1乃至6の何れか1項記載の半導体記憶装置。

【請求項8】 ワード線とビット線との交差する箇所に設けられたメモリセルと、

上記ビット線を選択的にデータ線に結合するためのカラム選択スイッチと、

上記ビット線を所定レベルにプリチャージするためのビット線プリチャージ回路と、

上記カラム選択スイッチによって選択されたビット線に対して、上記ビット線プリチャージ回路によるプリチャージ電圧よりも高いレベルの電圧でプリチャージ可能な高電圧プリチャージ手段と、を含むことを特徴とする半導体記憶装置。

【請求項9】 上記カラム選択スイッチを介して上記ビット線に結合され、上記カラム選択スイッチによって選択されたビット線を介して上記メモリセルへのデータ書き込みを可能とするライトアンプを含み、上記ライトアンプは、上記高電圧プリチャージ手段を含む請求項8記載の半導体記憶装置。

【請求項10】 上記メモリセルは、nチャネル型の第1MOSトランジスタとnチャネル型の第2MOSトランジスタトランジスタとが結合されて成る記憶部と、

上記第1MOSトランジスタのドレイン電極と、上記第2MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第3MOSトランジスタと、

上記第2MOSトランジスタのドレイン電極と、上記第1MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第4MOSトランジスタと、を含み、

上記第3、第4MOSトランジスタは縦型構造とされ、上記第3MOSトラン

ジスタは、上記第1 MOS トランジスタに積層され、上記第4 MOS トランジスタは上記第2 MOS トランジスタに積層されて成る請求項8又は9記載の半導体記憶装置。

【請求項11】 上記第1, 第2 MOS トランジスタのソース電位と上記ワード線の選択レベルの電位との差が、上記第3, 第4 MOS トランジスタのしきい値以上となる条件で設定された電圧を上記第1, 第2 MOS トランジスタのソース電極に供給可能な電源回路を含む請求項10記載の半導体記憶装置。

【請求項12】 上記第3, 第4 MOS トランジスタは、チャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加された状態で、上記記憶部におけるハイレベル側のデータを保持するように設定されて成る請求項11記載の半導体記憶装置。

【請求項13】 データを取り込むための入力回路と、上記入力回路を介して取り込まれたデータの論理演算を行うための内部論理と、上記内部論理での論理演算において参照されるメモリと、を含む半導体集積回路であって、

上記メモリは、請求項8乃至12の何れか1項記載の半導体記憶装置を含み、

上記プリチャージ回路によるプリチャージ電圧よりも高いレベルの電圧を使用する箇所には、上記入力回路又は上記出力回路で使用される高耐圧MOS トランジスタと同じ種類のMOS トランジスタが使用されて成ることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、さらにはスタティック型メモリセルを配列して成る半導体メモリに適用して有効な技術に関する。

【0002】

【従来の技術】

半導体集積回路の一例とされる半導体記憶装置においては、データを記憶、保持するラッチ回路部分を、nチャネル型MOS トランジスタとその負荷素子とで構成し、アクセストランジスタを介して上記ラッチ回路の信号入出力端子とビッ

ト線とを結合している。通常、上記アクセストランジスタは n チャネル型 MOS トランジスタとされる。しかし、上記アクセストランジスタに n チャネル型 MOS トランジスタを用いると、この n チャネル型 MOS トランジスタのしきい値電圧により読み出し動作時のセル電流が小さくなり、動作速度が遅くなったり、ハイレベル側データの書き込み速度が遅くなる。そこで、アクセストランジスタを p チャネル型 MOS トランジスタとした半導体記憶装置が提案されている（例えば特許文献 1, 2, 3 参照）。また、アクセストランジスタとして p チャネル型 MOS トランジスタを備えた回路においては、アクセストランジスタによって引き下げられる記憶ノードの電位は、このアクセストランジスタのしきい値分だけグラウンド電位（低電位側電源 V_{SS} ）電位より高い電位までであり、この電位が、ラッチ回路の反転しきい値電圧よりも高い場合にはデータの書き込み（又は書き換え）ができない。そこで、通常の高電位側電源電位 GND 供給用の端子とは別の端子を設け、この端子に、ワード線の選択レベルより所定レベルだけ高い電位を供給することにより、書き込み動作時においてアクセストランジスタのしきい値電圧で記憶ノードの電位が低下しなくてもラッチ回路によってビット線の低レベルデータの検知を可能とすることでデータの書き込み及び書き換えを確実に行えるようにした技術が知られている（例えば特許文献 3 参照）。

【0003】

【特許文献 1】

特開平 9-231765 号公報

【特許文献 2】

特開平 4-168694 号公報

【特許文献 3】

特開平 9-231765 号公報

【0004】

【発明が解決しようとする課題】

メモリセルにおけるアクセストランジスタに p チャネル型 MOS トランジスタを用いると、論理値“0”の書き込み時にノード電位が残り、書き込み動作が不安定になる。これは、特許文献 1 記載の技術のように通常の高電位側電源電位よ

りも所定レベルだけ高い電圧を供給することが有効である。しかしながら、特許文献1によれば、アクセストランジスタがバルク層に形成されるため、セル面積が比較的大きくなる。また、例えば特許文献1の図1に示されるメモリセル1のように4個のトランジスタ $Q_{11} \sim Q_{14}$ と、2個の負荷抵抗 R_{11} , R_{12} で形成されるメモリセルにおいて、負荷抵抗 R_{11} , R_{12} を省略することができるが、そのような回路構成においては、メモリセルの面積が小さくなるものの、セル読み出し電流とリーク電流とが比例し、メモリの高速動作と低リークとが両立しなくなる。すなわち、高速動作のために、しきい値を低くし、十分なゲート・ソース間電圧 V_{gs} を確保すると、大きなスタンバイ電流が流れる。逆に、しきい値を高くし、ドレイン・ソース間電圧 V_{ds} を低くすると、小さな読み出し電流となり、低速動作になる。

【0005】

本発明の目的は、セル面積の縮小化と、論理値“0”の書き込みの適正化とを図るための技術を提供することにある。本発明の別の目的は、スタンバイ電流の低減と、動作速度の向上を図るための技術を提供することにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】

すなわち、データを伝達するための第1ビット線と、上記第1ビット線と相補レベルの関係にある第2ビット線と、第1トランジスタのドレイン電極と、第2トランジスタのゲート電極とが結合されて第1ノードが形成され、上記第2トランジスタのドレイン電極と、上記第1トランジスタのゲート電極とが結合されて第2ノードが形成された記憶部と、ワード線の電圧レベルに応じて上記第1ノードを第1ビット線に結合可能なpチャネル型の第3トランジスタと、ワード線の

電圧レベルに応じて上記第2ノードを上記第2ビット線に結合可能なpチャネル型の第4トランジスタと、上記第1、第2トランジスタのソース電位と上記ワード線を選択レベルの電位との差が、上記第3、第4トランジスタのしきい値以上となる条件で設定された電圧を上記第1、第2トランジスタのソース電極に供給可能な電源回路とを含み、上記第3、第4トランジスタは縦型構造とされ、上記第3トランジスタは上記第1トランジスタに積層され、上記第4トランジスタは上記第2トランジスタに積層される。

【0009】

上記の手段によれば、上記第3、第4トランジスタを縦型構造とし、上記第3トランジスタを上記第1トランジスタに積層し、上記第4トランジスタを上記第2トランジスタに積層する。このことが、セル面積の縮小化を達成する。また、上記電源回路は、上記第1、第2トランジスタのソース電位と上記ワード線を選択レベルの電位との差が、上記第3、第4トランジスタのしきい値以上となる条件で設定された電圧を上記第1、第2トランジスタのソース電極に供給する。これにより、「0」書き込み補償がなされ、このことが、論理値“0”の書き込みの適正化を達成する。

【0010】

このとき、上記ワード線を選択レベルの電位はグラウンドレベルとすることができる。また、上記電源回路は、上記第1、第2トランジスタのソース電極とグラウンドとに接続された第5トランジスタと、与えられた基準電圧と上記第1、第2トランジスタのソース電位との差分を求め、それに基づいて上記第5トランジスタのオン抵抗を制御するための誤差増幅器とを含んで構成することができる。

【0011】

第1メモリセルがアレイ状に配置されて成る第1メモリセル領域と、上記第1メモリセルとは構造が異なる第2メモリセルがアレイ状に配置されて成る第2メモリセル領域と、上記第1メモリセル領域と上記第2メモリセル領域とで共有される周辺回路とを含んで半導体記憶装置が構成されるとき、上記第1メモリセルは、nチャネル型の第1MOSトランジスタとnチャネル型の第2MOSトランジスタトランジスタとが結合されて成る記憶部と、上記第1MOSトランジスタ

のドレイン電極と、上記第2 MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第3 MOSトランジスタと、上記第2 MOSトランジスタのドレイン電極と、上記第1 MOSトランジスタのゲート電極とを第1ビット線に結合可能なpチャネル型の第4 MOSトランジスタとを含んで構成し、上記第3、第4 MOSトランジスタを縦型構造とし、上記第3 MOSトランジスタを上記第1 MOSトランジスタに積層し、上記第4 MOSトランジスタを上記第2 MOSトランジスタに積層することができる。そしてこのとき、上記第2メモリセルは、pチャネル型の第5 MOSトランジスタと、nチャネル型の第6 MOSトランジスタとが直列接続されて成る第1インバータと、pチャネル型の第7 MOSトランジスタとnチャネル型の第8 MOSトランジスタとが直列接続されて成る第2インバータとがループ状に結合されて成る記憶部を含み、上記第5、第7 MOSトランジスタを縦型構造とし、上記第5 MOSトランジスタを上記第6 MOSトランジスタに積層し、上記第7 MOSトランジスタは、上記第8 MOSトランジスタに積層することによって、セル面積の縮小化を達成する。

【0012】

このとき、上記第1メモリセルアレイにおけるビット線の配列ピッチと、上記第2メモリセルアレイにおけるビット線の配列ピッチとを等しくすることで、上記第1メモリセルアレイと上記第2メモリセルアレイとの間でビット線を共通化することができる。

【0013】

上記第1メモリセルアレイと上記第2メモリセルアレイとの間でビット線配列ピッチが異なるときには、上記第1メモリセルアレイのビット線と、上記第2メモリセルアレイのビット線との間に、それらを選択的に結合するためのセレクトを介在させると良い。

【0014】

ワード線とビット線との交差する箇所に設けられたメモリセルと、上記ビット線を選択的にデータ線に結合するためのカラム選択スイッチと、上記ビット線を所定レベルにプリチャージするためのビット線プリチャージ回路と、上記カラム選択スイッチによって選択されたビット線に対して、上記ビット線プリチャージ

回路によるプリチャージ電圧よりも高いレベルの電圧でプリチャージ可能な高電圧プリチャージ手段とを設ける。

【0015】

上記の手段によれば、高電圧プリチャージ手段は、上記ビット線プリチャージ回路によるプリチャージ電圧よりも高いレベルの電圧でプリチャージを行う。このことが、スタンバイ電流の低減化と、読み出し及び書き込みの高速化を達成する。

【0016】

このとき、上記カラム選択スイッチを介して上記ビット線に結合され、上記カラム選択スイッチによって選択されたビット線を介して上記メモリセルへのデータ書き込みを可能とするライトアンプを含め、そしてこのライトアンプに、上記高電圧プリチャージ手段を含めることができる。

【0017】

上記メモリセルは、 n チャネル型の第1MOSトランジスタと n チャネル型の第2MOSトランジスタトランジスタとが結合されて成る記憶部と、上記第1MOSトランジスタのドレイン電極と、上記第2MOSトランジスタのゲート電極とを第1ビット線に結合可能な p チャネル型の第3MOSトランジスタと、上記第2MOSトランジスタのドレイン電極と、上記第1MOSトランジスタのゲート電極とを第1ビット線に結合可能な p チャネル型の第4MOSトランジスタと、を含んで構成することができる。上記第3、第4MOSトランジスタは縦型構造とされ、上記第3MOSトランジスタは、上記第1MOSトランジスタに積層され、上記第4MOSトランジスタは上記第2MOSトランジスタに積層されることによって、セル面積の縮小化が達成される。

【0018】

また、上記第1、第2MOSトランジスタのソース電位と上記ワード線の選択レベルの電位との差が、上記第3、第4MOSトランジスタのしきい値以上となる条件で設定された電圧を上記第1、第2MOSトランジスタのソース電極に供給可能な電源回路を含めることができる。

【0019】

さらに、上記第3、第4 MOS トランジスタは、チャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加された状態で、上記記憶部におけるハイレベル側のデータを保持するように設定することができる。ビット線を昇圧した場合に、相対的にワード線の電位が下がったことになり、同一ビット線上の非選択メモリセルの全てが少しだけ選択された状態となって、大きな電流を消費してしまうが、上記のようにチャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加された状態でデータを保持するようにすれば、ビット線の電位が上がってもリーク電流が増えないで済む。

【0020】

一般に半導体集積回路において MOS トランジスタ膜厚は2種類までに制限されることが多く、その範囲内で、上記内部回路の高耐圧用の MOS トランジスタを形成するには、上記プリチャージ回路によるプリチャージ電圧よりも高いレベルの電圧を使用する箇所には、入出力回路で使用される高耐圧 MOS トランジスタと同じ種類の MOS トランジスタを使用するのが良い。

【0021】

【発明の実施の形態】

図1には、本発明にかかる半導体記憶装置の一例とされる混在型半導体記憶装置が示される。図1に示される混在型半導体記憶装置10は、特に制限されないが、公知の半導体集積回路製造技術により単結晶シリコン基板などの一つの半導体基板に形成される。

【0022】

この混在型半導体記憶装置10は、特に制限されないが、メモリセルアレイ部25、ワードドライバ20、21、Y（カラム）セクタ24、メインアンプ11、及びライトアンプ12を含んで成る。

【0023】

上記メモリセルアレイ部25は、複数のワード線と、それに交差するように配置された複数のビット線と、上記ワード線と上記ビット線との交差する箇所に配置された複数のメモリセルとを含んで構成される。メモリセルアレイ部25は、4Tセル領域13、4Tセル領域14、4Tセル領域、6Tセル領域16、6T

セル領域 17、6 Tセル領域 18、及び DRAMセル領域 19 が形成される。4 Tセル領域 13、14、15 には、それぞれ 4 個のトランジスタの組み合わせによって形成される複数のメモリセルがアレイ状に設けられ、6 Tセル領域 16、17、18 には、それぞれ 6 個のトランジスタの組み合わせによって形成される複数のメモリセルがアレイ状に設けられ、DRAMセル領域 19 には、複数のダイナミック型メモリセルがアレイ状に設けられる。

【0024】

4 Tセル領域 13、14 と、6 Tセル領域 17、18 との間には、電源配線 26 が設けられ、4 Tセル領域 15 と、6 Tセル領域 16 との間には、電源配線 27 が設けられる。6 個のトランジスタの組み合わせによって形成されるメモリセル（「6 Tセル」という）は、4 個のトランジスタの組み合わせによって形成されるメモリセル（「4 Tセル」という）とは異なり、高電位側電源 VDD の供給が必要とされる。6 Tセルにおける高電位側電源 VDD の供給は、上記電源配線 26、27 を介して行われる。

【0025】

4 Tメモリセルは、6 Tメモリセルよりもチップ占有面積を小さくすることができるため、それに伴いビット線の配列ピッチも狭くすることができる。4 Tセル領域 14 におけるビット線配列ピッチは、6 Tセル領域 18 におけるビット線配列ピッチの $1/2$ とされる。このため、4 Tセル領域 14 と 6 Tセル領域 18 との間には、センスアンプ及び $1/2$ セレクタ 22 が配置され、4 Tセル領域 14 におけるビット線と、6 Tセル領域 18 におけるビット線とが、2 対 1 接続される。すなわち、4 Tセル領域 14 におけるビット線 2 本に対して 6 Tセル領域 18 におけるビット線 1 本が $1/2$ セレクタを介して結合される。この $1/2$ セレクタの動作はカラムアドレス信号に基づいて制御することができる。上記センスアンプ及び $1/2$ セレクタ 22 におけるセンスアンプは、4 Tセル領域 14 から読み出された信号を 6 Tセル領域 18 に書き込み可能なレベルにまで増幅したり、6 Tセル領域 18 から読み出された信号を 4 Tセル領域 14 に再書き込み可能なレベルにまで増幅する。4 Tセル領域 14 側のビット線 Y セレクタ 24 に接続され、そこでカラムアドレスに応じたビット線選択が行われる。尚、4 Tセル

領域 14 でのデイスターブ対策のため、上記センスアンプでのセンス完了後は、4 Tセル領域 14 側のビット線をセンスアンプから切り離したり、4 Tセル領域 14 側への書き込みをパルス駆動で行うなどの工夫がなされる。

【0026】

また、4 Tセル領域 13 におけるビット線の配列ピッチを、6 Tセル領域 17 におけるビット線の配列ピッチに等しくすることにより、4 Tセル領域 13 におけるビット線と、6 Tセル領域 17 におけるビット線とは共通化され、それらは、カラムアドレスに従って Yセクタ 15 により選択可能とされる。

【0027】

4 Tセル領域 15 と、6 Tセル領域 16 との関係は、上記 4 Tセル領域 13 と、6 Tセル領域 17 との関係に等しい。すなわち、4 Tセル領域 15 におけるビット線の配列ピッチを、6 Tセル領域 16 におけるビット線の配列ピッチに等しくすることにより、4 Tセル領域 15 におけるビット線と、6 Tセル領域 16 におけるビット線とは共通化され、それらは、カラムアドレスに従って Yセクタ 15 により選択可能とされる。

【0028】

上記ワードドライバ 21 は、4 Tセル領域 13, 14, 15、及び 6 Tセル領域 16, 17, 18 において共有される。

【0029】

DRAMセル領域 19 におけるワード線は、専用のワード線ドライバ 20 によって選択レベルに駆動される。ワード線とビット線との交差箇所に結合されたダイナミック型メモリセルは、1 個のトランジスタと電荷蓄積容量とによって形成され、そのチップ占有面積は、4 Tセル領域 15 や 6 Tセル領域 16 でのメモリセルのチップ占有面積よりも小さい。そしてそれに伴って、DRAMセル領域 19 でのビット線の配列ピッチも、4 Tセル領域 15 や 6 Tセル領域 16 でのビット線配列ピッチよりも小さい。このため、DRAMセル領域 19 と 6 Tセル領域 16 との間には、上記 4 Tセル領域 14 と上記 6 Tセル領域 18 との間と同様に、センスアンプ及び 1/2 セクタ 23 が配置されることによって、2 対 1 接続される。上記センスアンプ及び 1/2 セクタ 23 における 1/2 セクタは、の動

作はカラムアドレス信号に基づいて制御することができる。

【0030】

図2には、上記6Tセル領域16, 17, 18に適用される6Tセル200の構成例が示される。

【0031】

pチャネル型MOSトランジスタ201とnチャネル型MOSトランジスタ205とが直列接続されて成る第1インバータINV1と、pチャネル型MOSトランジスタ202とnチャネル型MOSトランジスタ206とが直列接続されて成る第2インバータINV2とがループ状に結合されることで記憶部が形成される。上記pチャネル型MOSトランジスタ201, 202のソース電極は高電位側電源VDDに結合され、上記nチャネル型MOSトランジスタ205, 206のソース電極は低電位側電源VSSに結合される。特に制限されないが、低電位側電源VSSは、本半導体記憶装置におけるグランドGNDラインに等しく、その電位は0ボルトとされる。

【0032】

上記pチャネル型MOSトランジスタ201とnチャネル型MOSトランジスタ205との直列接続箇所は上記記憶部の第1ノードN1とされ、この第1ノードN1はnチャネル型MOSトランジスタ203を介してビット線BLTに結合される。また、pチャネル型MOSトランジスタ202とnチャネル型MOSトランジスタ206との直列接続箇所は上記記憶部のノードN2とされ、このノードN2は、nチャネル型MOSトランジスタ204を介してビット線BLBに結合される。上記ビット線BLT, BLBとは、相補レベルの信号を伝達するための相補ビット線対とされる。

【0033】

上記nチャネル型MOSトランジスタ203, 204は、ワード線WLの電位によって動作制御される。この例では、ワード線WLがハイレベルに駆動された場合に、nチャネル型MOSトランジスタ203, 204が導通されることによって、上記記憶部における第1ノードN1及び第2ノードN2がそれぞれビット線BLT及びBLBに結合されることによって、上記記憶部へのデータ書き込み

や、上記記憶部からのデータ読み出しが可能とされる。

【0034】

また、上記 p チャンネル型 MOS トランジスタ 201, 202 は、縦型構造とされ、後に詳述するように、p チャンネル型 MOS トランジスタ 201 は n チャンネル型 MOS トランジスタ 205 に積層され、p チャンネル型 MOS トランジスタ 202 は n チャンネル型 MOS トランジスタ 206 に積層されることにより、メモリセル面積の低減が図られている。

【0035】

図 2 に示される 6 T セル 200 は、完全なスタティック動作で高速に動作するし、スタンバイ時の消費電流が少ないなどの利点がある反面、構成素子数が多く、ノード間の接続数も多いので、1 セル当たりのサイズが比較的大きくなる。

【0036】

図 3 には、上記 4 T セル領域 13, 14, 15 に適用される 4 T セル 300 の構成例が示される。

【0037】

n チャンネル型 MOS トランジスタ 305, 306 はドライブ MOS とも称され、それらが結合されて記憶部が構成される。n チャンネル型 MOS トランジスタ 305, 306 のソース電極は低電位側電源 VSS に結合される。n チャンネル型 MOS トランジスタ 305 のドレイン電極と n チャンネル型 MOS トランジスタ 306 のゲート電極との結合箇所がこの記憶部の第 1 ノード N3 とされ、この第 1 ノード N1 は、p チャンネル型 MOS トランジスタ 301 を介してビット線 BLT に結合される。また、n チャンネル型 MOS トランジスタ 306 のドレイン電極と n チャンネル型 MOS トランジスタ 305 のゲート電極との結合箇所がこの記憶部の第 2 ノード N4 とされ、この第 2 ノード N2 は、p チャンネル型 MOS トランジスタ 302 を介してビット線 BLB に結合される。

【0038】

上記 p チャンネル型 MOS トランジスタ 301, 302 は、トランスファ MOS とも称され、ワード線 WL の電位によって動作制御される。この例では、ワード線 WL がローレベルに駆動された場合に、p チャンネル型 MOS トランジスタ 30

1, 302が導通されることによって、上記記憶部における第1ノードN3及び第2ノードN4がそれぞれビット線線BLT及びBLBに結合されることによって、上記記憶部へのデータ書き込みや、上記記憶部からのデータ読み出しが可能とされる。

【0039】

また、上記pチャネル型MOSトランジスタ301, 302は、縦型構造とされ、後に詳述するように、pチャネル型MOSトランジスタ301がnチャネル型MOSトランジスタ305に積層され、pチャネル型MOSトランジスタ302がnチャネル型MOSトランジスタ306に積層されることにより、メモリセル面積の低減が図られている。

【0040】

図3に示される4Tセル300は、pチャネル型MOSトランジスタ301, 302のリークによるハイレベルを保持する。図2に示される構成に比べて構成素子数が少なく、ノード数も少ないので、1セル当たりのサイズが比較的小さい反面、スタンバイ電流と動作速度とがトレードオフの関係にあり、例えばスタンバイ電流の低減を図ると、その分、動作速度が低下してしまう。

【0041】

図5には、上記4Tセル300の比較対象とされるバルク4Tセルのレイアウト平面が示される。バルク4Tセルは、4個のトランジスタがバルクで構成されるため、下地にMOSトランジスタ4個分のスペースが必要とされる。また、pチャネル型MOSトランジスタと、nチャネル型MOSトランジスタが存在するため、ウェル分離が必要とされる。また、pチャネル領域とnチャネル領域との間の配線のために全てが上層を経由しなければならず、その際に拡散層と配線層とを結合するためのコンタクトホール(LCONT, LCONT2)が必要となる。

【0042】

図4には、図3に示される4Tセル300の主要部の断面が示される。尚、図3及び図4において、①、②、③で示される箇所は、主要トランジスタの電極の対応の明確化のために設けられている。

【0043】

縦型構造のpチャネル型MOSトランジスタ301, 302は、nチャネル型MOSトランジスタ305, 306に積み上げる形で形成されるため、下地はMOSトランジスタ2個分のスペースがあれば十分である。また、pチャネル型MOSトランジスタ301, 302は、SOIなので、ウェル分離は不要とされる。また、縦型構造なので、それ自体がコンタクトを兼用することから、バルク構成の場合に不可欠であったコンタクトホールが不要とされる。

【0044】

4Tセル300では、トランスファ(301, 302)にpチャネル型MOSトランジスタが使用されているため、データ書き込み時にセル内部のハイレベルは、ビット線の電位まで上昇される。しかし、ローレベルは、 $V_{SS} - V_{th}$ までしか書き込めない。ここで、 V_{th} はトランスファ(301, 302)のしきい値とされる。そこで、以下のように「0」書き込み補償が行われる。

【0045】

図6には、4Tセル300の保持状態と、そのときの主要ノード電圧との関係が示される。

【0046】

ハイレベル(論理値“1”)とされたノードN3又はN4におけるnチャネル型MOSトランジスタのオフ時のリークによる電圧降下はpチャネル型MOSトランジスタ301又は302でのリークによって補償される。そのために、pチャネル型MOSトランジスタ301又は302は非常に浅いオン状態($V_{gs} = \alpha$)に制御されている。これにより、ローレベル(論理値“0”)とされたノードN3又はN4にも上記と同じ電流が流れ込むが、それは、そのときオン状態にされているnチャネル型MOSトランジスタ305又は306を介して低電位側電源 V_{SS} 側に流れる。この電流を利用して、保持時のノード V_{ssm} 電位($+\beta$)が生成され、それが、「0」書き込み補償電位とされる。

【0047】

図7には、4Tセル300の書き込み状態と、そのときの主要ノード電圧との関係が示される。

【0048】

書き込みの場合、ワード線WLはローレベル(=VSS)にされ、pチャネル型MOSトランジスタ301, 302は導通される。ビット線BLTがハイレベル(=VDD)であるため、高電位側電源VDDのレベルを基準としたソース接地で動作される。ただし、nチャネル型MOSトランジスタ305とのレシオなので、そのままではノードN3は、1/3程度までしか上昇しない。ノードN4側の電位が下がるに従い、nチャネル型MOSトランジスタ305の駆動力が弱まるので、徐々に上昇し、最後には高電位側電源VDDレベルとされる。逆にノードN4側は、当初高電位側電源VDDレベルとされているため、ソース接地であり、しかも、負荷MOSトランジスタが無いために急速に降下されるがノードN4が、徐々にVssmのレベルに近づくに従い、ゲート・ソース間電圧Vgsが低下され、ソース・フォロワ動作となる。最終的には、 $V_{gs} = V_{ssm} - V_{ss}$ とされる。ここで、Vgsがpチャネル型MOSトランジスタ301, 302のしきい値以上となるように、Vssmのレベルを決定する。それにより、「0」書き込み補償が行われる。尚、場合により、若干の電圧がノードに残っても、pチャネル型MOSトランジスタ301又は302のリークにより、何れはVssmレベルとなる。

【0049】

図8には、4Tセル300における読み出し時と書き込み時との主要動作波形が示される。

【0050】

選択セルにおいては、ワード線WLがローレベルに駆動される。読み出し期間において、ワード線WLが低電位側電源VSSレベルまで低下されることにより、ノードN3, N4の信号がビット線BLT/BLBに読み出される。書き込み期間においては、ワード線WLが低電位側電源VSSレベルにまで低下されることにより、ノードN3, N4に書き込みデータが伝達される。このとき、ビット線のローレベルは、ワード線WLの選択レベル(低電位側電源VSSレベル)よりも、トランスファMOSのしきい値だけ高くされることにより、「0」書き込み補償が行われる。

【0051】

図9には、メモリセルアレイ部25で使用される各種内部電圧が示される。

【0052】

ビット線のハイレベルは1.7Vとされ、ビット線のローレベルは0V (=V_{SS})とされる。ワード線のハイレベル(非選択レベル)は1.2Vとされ、ワード線のローレベル(選択レベル)は0V (=V_{SS})とされる。また、4Tセル300のV_{ssm}レベル(セルV_{SS})は、「0」書き込み補償を考慮して、0.3Vとされる。これは、V_{gs}=V_{ssm}-V_{ss}において、V_{gs}がpチャネル型MOSトランジスタ301, 302のしきい値以上となるように決定されたものである。そのような各種電圧は、外部から与えられた電圧を次のように降圧することによって得られる。

【0053】

すなわち、外部から供給された電源電圧1.5V (V_{DD})を降圧回路91で降圧することによって、周辺回路に供給される内部1.2V電圧が生成される。また、外部から供給された電源電圧1.5V (V_{DD})を降圧回路92で降圧することによってワード線WLのハイレベルである1.2Vが生成される。この1.2Vは、保持特性を安定化させるため、トリミング及び温度補償がなされている。非選択ワード線における寄生容量C1によって安定化される。そして、セルV_{DD}=0.3Vは、定電圧回路93や、メモリセルアレイにおける寄生容量C2によって安定化される。上記定電圧回路93は、4Tセル300におけるnチャネル型MOSトランジスタ305, 306のソース電極と、低電位側電源V_{SS}に結合され、セル電流に対する可変インピーダンス手段とされる。特に制限されないが、上記定電圧回路93は、4Tセル300におけるnチャネル型MOSトランジスタ305, 306のソース電極と、低電位側電源V_{SS}に結合されたnチャネル型MOSトランジスタ933と、外部から供給された電源電圧1.5V (V_{DD})に基づいて基準電圧V_{ref}を生成するための基準電圧発生回路931と、この基準電圧発生回路931によって発生された基準電圧V_{ref}とセルV_{SS}との差分を求め、その差分に基づいてnチャネル型MOSトランジスタ933のオン抵抗を制御するための誤差増幅器932とを含んで成る。上

記基準電圧発生回路 931 は、トリミング及び温度補正により基準電圧 V_{ref} の安定化が図られている。すなわち、バンドギャップリファレンス等の安定な基準電圧源とテスト時にトリミング可能なヒューズ回路及び疑似トリミング回路を備える。上記トリミング機能により、pチャネル型MOSトランジスタのロット間のばらつきを補正することによって歩留りの向上を図ることができる。また、疑似トリミング機能により、ヒューズを切らずにテスト命令で電圧レベルを変更することにより、書き込みマージンテストの容易化を図るようにしている。

【0054】

上記の例によれば、以下の作用効果を得ることができる。

【0055】

(1) 一般にメモリセルの密度は、DRAMセル領域、4Tセル領域、6Tセル領域の順に低下する。また、ランダムアクセス速度は、6Tセル領域、4Tセル領域、DRAMセル領域の順に低下する。従って、データ量が多く、アクセス速度がそれほど重視されないデータはDRAM領域19へ格納し、使用頻度が高く、高速アクセスが必要とされるデータは、6Tセル領域16, 17, 18や、4Tセル領域13, 14, 15に格納するのが良い。そのようにアクセス速度や使用頻度等の要求に応じて、セル領域を使い分けることによって最大のパフォーマンスが得られる。異なるセル領域間でビット線が導通されることから、このビット線を介して、格納データのコピーを高速に行うことができる。例えば、6Tセル領域16, 17, 18に格納されているデータを4Tセル領域13, 14, 15に転送する場合、導通されているビット線を利用することにより高速データ転送が可能とされる。

【0056】

(2) セル $V_{DD} = 0.3V$ が形成されて「0」書き込み補償が行われるため、ローレベルの書き込みにおいて、 $V_{SS} - V_{th}$ の制限を越えた書き込みが可能とされる。また、上記セル $V_{DD} = 0.3V$ は、定電圧回路 93 や、メモリセルアレイにおける寄生容量 C_2 によって安定化される。上記定電圧回路 93 は、4Tセル 300 における nチャネル型MOSトランジスタ 305, 306 のソース電極と、低電位側電源 V_{SS} に結合され、セル電流に対する可変インピーダン

手段とされ、上記定電圧回路 93 は、4Tセル 300 における n チャネル型 MOS トランジスタ 305、306 のソース電極と、低電位側電源 V_{SS} に結合された n チャネル型 MOS トランジスタ 933 と、外部から供給された電源電圧 $1.5V_{DD}$ に基づいて基準電圧 V_{ref} を生成するための基準電圧発生回路 931 と、この基準電圧発生回路 931 によって発生された基準電圧 V_{ref} とセル V_{SS} との差分を求め、その差分に基づいて n チャネル型 MOS トランジスタ 933 のオン抵抗を制御するための誤差増幅器 932 とを含んで構成することにより、セル $V_{DD} = 0.3V$ の安定化が図られる。

【0057】

(3) トランスファ MOS に縦型構造の p チャネル型 MOS トランジスタ 301、302 が適用されており、縦型構造の p チャネル型 MOS トランジスタ 301、302 は、n チャネル型 MOS トランジスタ 305、306 に積み上げる形で形成されるため、下地は MOS トランジスタ 2 個分のスペースがあれば十分である。また、p チャネル型 MOS トランジスタ 301、302 は、SOI なので、ウェル分離は不要とされる。また、縦型構造なので、それ自体がコンタクトを兼用することから、バルク構成の場合に不可欠であったコンタクトホールが不要とされる。このことから、メモリセルの縮小を図ることができる。

【0058】

図 10 には、本発明にかかる半導体記憶装置を含む半導体集積回路の構成例が示される。

【0059】

図 10 に示される半導体集積回路 100 は、特に制限されないが、入力回路 101、レベルシフタ 102、内部論理 103、レベルシフタ 104、出力回路 105、降圧電源回路 106、及び SRAM マクロ 107 を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などのひとつの半導体基板に形成される。入力回路 101 は入力端子を介して入力された信号を取り込む機能を有する。レベルシフタ 102 は、上記入力回路 101 を介して入力された高電位側電源 V_{DD} 系（高圧）の信号を V_{peri} 系（低圧）にシフトする機能を有する。内部論理 103 は、 V_{peri} 系であり、入力信号に対して所定の論理演算処理

特願 2 0 0 2 - 3 4 7 9 9 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

を施す中央処理装置やその周辺回路を含む。この内部論理103での論理演算の際に、上記SRAMマクロ107がアクセスされ、その記憶情報が必要に応じて使用される。レベルシフタ104は、上記内部論理103の出力信号(V_{peri} 系)を高電位側電源VDD系にシフトする機能を有する。出力回路105は、上記レベルシフタ104の出力信号を出力端子から出力する機能を有する。

【0060】

降圧回路106は、与えられた高電位側電源VDDを降圧することで、VDDレベルよりも低い電圧 V_{peri} を生成する。生成された電圧 V_{peri} は、レベルシフタ102、内部論理回路103、レベルシフタ回路104、及びSRAMマクロ107に供給される。

【0061】

上記SRAMマクロ107は、特に制限されないが、Y(カラム)デコーダ108、メインアンプ及びライトアンプ109、カラム選択回路110、SRAMマット111、VSSM生成回路112、VWL生成回路113、及びワード線ドライバ114とを含む。

【0062】

図11には、上記SRAMマクロ107における主要部の構成例が示される。

【0063】

SRAMマット111は、複数のワード線と、それに交差するように設けられた複数のビット線と、上記ワード線とビット線の交差する箇所に設けられた複数の4Tセルとを含む。上記4Tセルは、基本的には、図3に示されるのと同ー構成のものが適用される。すなわち、nチャネル型MOSトランジスタ305, 306が結合されて記憶部が構成される。nチャネル型MOSトランジスタ305, 306のソース電極は低電位側電源 V_{ssm} に結合される。nチャネル型MOSトランジスタ305のドレイン電極とnチャネル型MOSトランジスタ306のゲート電極との結合箇所がこの記憶部の第1ノードN3とされ、この第1ノードN1は、pチャネル型MOSトランジスタ301を介してビット線BLTに結合される。また、nチャネル型MOSトランジスタ306のドレイン電極とnチャネル型MOSトランジスタ305のゲート電極との結合箇所がこの記憶部の第2

ノードN4とされ、この第2ノードN2は、pチャネル型MOSトランジスタ302を介してビット線BLBに結合される。

【0064】

上記pチャネル型MOSトランジスタ301, 302は、ワード線WLの電位によって動作制御される。この例では、ワード線WLがローレベルに駆動された場合に、pチャネル型MOSトランジスタ301, 302が導通されることによって、上記記憶部における第1ノードN3及び第2ノードN4がそれぞれビット線BLT及びBLBに結合されることによって、上記記憶部へのデータ書き込みや、上記記憶部からのデータ読み出しが可能とされる。

【0065】

また、上記pチャネル型MOSトランジスタ301, 302は、図4に示されるような縦型構造とされ、pチャネル型MOSトランジスタ301がnチャネル型MOSトランジスタ305に積層され、pチャネル型MOSトランジスタ302がnチャネル型MOSトランジスタ306に積層されることにより、メモリセル面積の低減が図られている。

【0066】

上記VSSM生成回路112は、例えば図9における定電圧回路93と同様に構成されて「0」書き込み補償を行う。

【0067】

上記複数のワード線WLは、ワード線ドライバ(WLD)120によって選択的に駆動される。このワード線ドライバ120は、入力されたX(ロウ)アドレス信号をデコードし、そのデコード結果に基づいて、上記複数のワード線WLの中から上記Xアドレスに対応する1本を選択レベルに駆動する。本例においては、4Tセル300におけるトランスファとして、pチャネル型MOSトランジスタ301, 302が適用されているため、ワード線WLの選択レベルは、ローレベルとされ、それは低電位側電源VSSレベルに等しい。

【0068】

VWL生成回路121は、pチャネル型MOSトランジスタとnチャネル型MOSトランジスタとのリーク電流の比に基づいてワード線の駆動電位レベルを制

御する。

【0069】

相補ビット線BLT, BLBは、カラム選択回路110を介して選択的にメインアンプ及びライトアンプ109に結合される。メインアンプ及びライトアンプ109は、上記カラム選択回路110を介して伝達された信号を増幅するためのメインアンプMAと、上記カラム選択回路110を介して書き込みデータをビット線BLT, BLBに供給するためのライトアンプWAとを含む。

【0070】

上記カラム選択回路110は次のように構成される。

【0071】

pチャネル型MOSトランジスタ135とnチャネル型MOSトランジスタ136とが並列接続されることでカラムスイッチが形成され、このカラムスイッチを介してビット線BLTが上記メインアンプMA及びライトアンプWAに結合される。また、pチャネル型MOSトランジスタ137とnチャネル型MOSトランジスタ138とが並列接続されることでカラムスイッチが形成され、このカラムスイッチを介してビット線BLBが上記メインアンプMA及びライトアンプWAに結合される。さらに、ビット線BLT, BLBを所定の電圧レベルにプリチャージするためのプリチャージ回路が設けられる。このプリチャージ回路は、ビット線BLTに結合されたpチャネル型MOSトランジスタ132と、ビット線BLBに結合されたpチャネル型MOSトランジスタ133とが直列接続されて成る。上記pチャネル型MOSトランジスタ132, 133の直列接続ノードには、所定レベルのプリチャージ電圧VbHoldが供給される。上記pチャネル型MOSトランジスタ132, 133のゲート電極にはカラム選択信号Ysが伝達され、このカラム選択信号Ysがローレベルにアサートされたとき、上記pチャネル型MOSトランジスタ132, 133が導通されて、ビット線BLT, BLBがプリチャージ電圧VbHoldによってプリチャージされる。また、上記ビット線BLT, BLBを短絡するようにイコライズ用のpチャネル型MOSトランジスタ131が設けられ、上記カラム選択信号Ysがローレベルにアサートされて、ビット線BLT, BLBにプリチャージ電圧VbHoldが供給される。

際に、上記イコライズ用の p チャンネル型 MOS トランジスタ 131 が導通されてビット線 BLT, BLB のプリチャージレベルが互いに等しくされる。

【0072】

メインアンプ MA は、p チャンネル型 MOS トランジスタ 139, 140 と、n チャンネル型 MOS トランジスタ 141, 142, 143, 144, 145 が結合されて成る。MOS トランジスタ 139, 141, 143 の直列接続回路と、MOS トランジスタ 140, 142, 144 の直列接続回路とがループ状に結合されることでラッチ回路が形成される。上記 p チャンネル型 MOS トランジスタ 139, 140 のソース電極には電圧 V_{peri} が供給される。n チャンネル型 MOS トランジスタ 143, 144 のソース電極は n チャンネル型 MOS トランジスタ 145 を介して低電位側電源 V_{SS} に結合される。上記 n チャンネル型 MOS トランジスタ 145 のゲート電極には、メインアンプイネーブル信号 MAE が伝達される。このメインアンプイネーブル信号 MAE がハイレベルにアサートされて、n チャンネル型 MOS トランジスタ 145 が導通されることで、メインアンプ MA は動作可能な状態となる。

【0073】

ライトアンプ WA は、p チャンネル型 MOS トランジスタ 146, 148, 150、及び n チャンネル型 MOS トランジスタ 147, 149 が結合されて成る。p チャンネル型 MOS トランジスタ 146 と n チャンネル型 MOS トランジスタ 147 とが直列接続され、その直列接続箇所はノード IT とされ、カラム選択回路 110 における MOS トランジスタ 135, 136 を介してビット線 BLT に結合される。また、p チャンネル型 MOS トランジスタ 148 と n チャンネル型 MOS トランジスタ 149 とが直列接続され、その直列接続箇所はノード IB とされ、カラム選択回路 110 における MOS トランジスタ 137, 138 を介してビット線 BLB に結合される。p チャンネル型 MOS トランジスタ 146 のゲート電極には、ノード IT の昇圧制御信号 ITUB が供給され、この昇圧制御信号 ITUB がローレベルにアサートされることにより、p チャンネル型 MOS トランジスタ 146 が導通されて高電位側電源 V_{DD} による高電圧がノード IT に供給される。また、p チャンネル型 MOS トランジスタ 148 のゲート電極には、ノード IB の昇

圧制御信号 I_{BUB} が供給され、この昇圧制御信号 I_{BUB} がローレベルにアサートされることにより、 p チャネル型 MOS トランジスタ 148 が導通されて高電位側電源 V_{DD} による高電圧がノード I_B に供給される。

【0074】

n チャネル型 MOS トランジスタ 147, 149 のソース電極は低電位側電源 V_{SS} に結合される。 n チャネル型 MOS トランジスタ 147, 149 のゲート電極には、書き込みデータ I_{TD} , I_{BD} が供給される。この書き込みデータ I_{TD} , I_{BD} に応じて n チャネル型 MOS トランジスタ 147, 149 の動作が制御されることにより、データの書き込みが可能とされる。

【0075】

さらに、ノード I_T , I_B を短絡するように p チャネル型 MOS トランジスタ 150 が設けられ、この p チャネル型 MOS トランジスタ 150 のゲート電極に伝達されたイコライズ制御信号 I_{EQB} に応じて、ノード I_T , I_B がイコライズされる。

【0076】

ここで、上記 4Tセル 300 においては、セル読み出し電流とリーク電流とが比例する。これは、高速動作と低リークが両立しないことを意味する。すなわち、高速動作のために、しきい値を低くし、十分なゲート・ソース間電圧 V_{gs} を確保すると、大きなスタンバイ電流が流れる。逆に、しきい値を高くし、ドレイン・ソース間電圧 V_{ds} を低くすると、小さな読み出し電流となり、低速動作になる。

【0077】

スタンバイモード時にセル V_{SS} を上げてリーク電流の低減を図ることが行われるが、モード設定が必要であり、また、頻繁なスタンバイはできない。

【0078】

そこで、図 10 に示される SRAM マクロ 107 では、主要部に、しきい値の高い MOS トランジスタ（厚膜素子）を使用し、読み出し以外の期間に V_{bl} を下げて低リーク状態としておき、読み出し時にカラム選択系（ Y_s ）で選択されたビット線を昇圧することにより、消費電流の低減とデータの高速読み出しを可能と

している。

【0079】

すなわち、4Tセル300を構成する全てのMOSトランジスタ、カラム選択回路110を構成する全てのMOSトランジスタ、ライトアンプWAを構成する全てのMOSトランジスタ、及びメインアンプMAにおけるMOSトランジスタ141、142には、厚膜素子（高耐圧MOSトランジスタ）が適用されることにより、それらのしきい値が高めに設定され、加えて、ビット線プリチャージ電圧Vb1Holdが低めに設定される。

【0080】

図12には、上記メインアンプMAにおける主要部の断面構造が代表的に示される。

【0081】

メインアンプMAは、VDD系がVperi系と乗り変わる部分とされ、nチャネル型MOSトランジスタ141、142のみが厚膜素子とされ、その他のMOSトランジスタは薄膜素子とされる。厚膜素子はゲートの酸化膜の厚みは、他のMOSトランジスタ例えば薄膜のMOSトランジスタ143のゲート酸化膜よりも厚くされる。

【0082】

そのように厚膜素子を使用することにより、スタンバイ電流の低減を図ることができる。しかし、そのままでは、4Tセル300からのデータ読み出しにおいては、小さな読み出し電流しか得られないため、データ読み出しに時間がかかる。そこで、本例では、読み出し時において、カラム選択信号Ysに従って選択されたビット線BLT、BLBに対して、ノードIT、IBを介して高電圧（高電位側電源VDD）を供給することによりビット線のプリチャージレベルを上昇させ、それによって、4Tセル300からの高速読み出しを可能としている。また、4Tセル300へのデータ書き込みの際にも、同様にビット線BLT、BLBに対して、ノードIT、IBを介して高電圧（高電位側電源VDD）を供給することによりビット線のプリチャージレベルを上昇させて、書き込みの高速化を図っている。

【0083】

本例においては上記のように、ノードIT、IBを介して高電圧（高電位側電源VDD）を供給することによりビット線のプリチャージレベルを上昇させ、それによって、4Tセル300からの高速読み出しを可能としているが、このようにプリチャージ電圧よりも高い電圧が供給される箇所には、高耐圧MOSトランジスタが使用される。例えば図11に示される構成例では、4Tセル300を構成する全てのMOSトランジスタ、カラム選択回路110を構成する全てのMOSトランジスタ、ライトアンプWAを構成する全てのMOSトランジスタ、及びメインアンプMAにおけるMOSトランジスタ141、142は高耐圧MOSトランジスタとされる。このとき、上記内部回路において使用される高耐圧MOSトランジスタには、図10における入力回路101や出力回路105に使用される高耐圧MOSトランジスタと同じ種類のものを使うようにする。一般に半導体集積回路においてMOSトランジスタ膜厚は2種類までに制限されることが多く、その範囲内で、上記内部回路の高耐圧MOSトランジスタを形成することができるからである。

【0084】

図13には、トランスファMOS（pチャネル型MOSトランジスタ301、302）と、ドライブMOS（nチャネル型MOSトランジスタ305、306）のリーク電流特性が示される。横軸はMOSトランジスタのゲート・ソース間電圧、縦軸はMOSトランジスタのドレイン・ソース電流である。実線で示される特性曲線はビット線の電位BL=1.5Vの場合であり、破線で示される特性曲線はビット線の電位BL=2.0Vの場合である。また、図14にはオン電流特性が示される。

【0085】

チャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加されることでリーク電流が増加する。これは、GIDL（Gate Induced Drain Leakage）特性として知られている。本例では、このGIDL特性を利用してデータを保持する。尚、MOSトランジスタのGIDL特性については、例えば「J a - H a o C h e n , S h y h - C h y i W o n g , a

nd Yeong-Her Wang "An Analytic Three-Terminal Band-to-Band Tunneling Model on GIDL in MOSFET" IEEE TRANSACTIONS ON ELECTRON, VOL. 48, 7, JULY 2001」において述べられている。

【0086】

図13において、読み出し時には、ビット線BL=2.0VなのでトランスファMOSのゲート・ソース間電圧 V_{gs} は、-0.1Vとなる。従って、トランスファMOSは、GIDL特性により非常に弱くオンされており、通常よりも若干リーク電流が増加する。このモードを使うことで、非選択セルのリストアを高速化することができる。

【0087】

データ保持は、pチャネル型MOSトランジスタのGIDL領域で行う。つまり、チャネルをオンさせる電位と逆極性の電位がゲート・ソース間に印加された状態で、上記記憶部におけるハイレベル側のデータを保持するように設定されている。このようにするのは以下の理由による。

【0088】

すなわち、ビット線を昇圧した場合に、相対的にワード線の電位が下がったことになり、同一ビット線上の非選択メモリセルの全てが少しだけ選択された状態となって、大きな電流を消費してしまうが、データのハイレベルをpチャネル型MOSトランジスタのGIDL領域を使って保持するようにすれば、ビット線の電位が上がってもリーク電流が増えないで済むからである。

【0089】

そこで本例では、アイドル時において、ワード線WLは、ビット線の電位BL+0.4V ($1.5V + 0.4V = 1.9V$)で、ゲートソース間電圧 V_{gs} は、0.4Vの逆バイアスとなっていて、GIDL領域を使うことでハイレベルを保持する。ドライブMOS (nチャネル型MOSトランジスタ305, 306)のオフリーク電流は、BL=1.5Vなら 10^{-13} [A]で読み出し電圧のBL=2.0Vの 5×10^{-12} に比べて1/50である。

【0090】

スタンバイ電流は、ドライブMOSのリーク電流の50～100倍とされるので、 $BL = 1.5V$ とすることで、 $10^{-13} \times 100 = 10^{-11}$ と、 $BL = 2.0V$ 時の $2 \times 10^{-12} \times 100 = 2 \times 10^{-10}$ の $1/20$ とすることができる。読み出し時には、 $BL = 1.5V$ 時の $1.1mA$ に対して、 $BL = 2.0V$ にすることで、 $4.0mA$ となり、3.6倍の増加（高速化）が可能とされる。

【0091】

図15には、図11に示されるSRAMマクロ107における主要部の動作波形が示される。この例では、ホールド期間、読み出し期間、及び書き込み期間が示される。

【0092】

ホールド期間は、低めのビット線プリチャージ電圧 $V_{bl\ Hold}$ によりビット線のプリチャージが行われることによってセルリーク電流が低減化される。

【0093】

リード期間においては、メインアンプMAやライトアンプWAには高電位側電源VDDが印加される。このため、カラム選択回路110によって選択されたビット線BLT、BLBの電位が上昇され、それにともないメモリセルの駆動力が増加する。読み出し終了後には、ビット線BLT、BLBが高電位レベルとされてリストアが実施される。

【0094】

読み出し期間の直後のホールド期間においては、ビット線BLT、BLBが非選択状態になると、BLB/BLTはゆっくりともとの $V_{bl\ Hold}$ の電圧レベルに復帰される。

【0095】

次に、書き込み期間においては、上記リード期間と同様に、メインアンプMAやライトアンプWAには高電位側電源VDDが印加される。このため、カラム選択回路110によって選択されたビット線BLT、BLBの電位が、上昇され、それにともないメモリセルの駆動力が増加する。読み出し終了後には、ビット線

B L T, B L B が高電位に等しくされてリストアが実施される。

【0096】

上記した例によれば、以下の作用効果を得ることができる。

【0097】

すなわち、4 Tセル300を構成する全てのMOSトランジスタ、カラム選択回路110を構成する全てのMOSトランジスタ、ライトアンプWAを構成する全てのMOSトランジスタ、及びメインアンプMAにおけるMOSトランジスタ141, 142には、厚膜素子が適用されることにより、それらのしきい値が高めに設定され、加えて、ビット線プリチャージ電圧 V_{b1Hold} が低めに設定されることにより、スタンバイ電流の低減を図ることができる。そして、読み出し時において、カラム選択信号 Y_s に従って選択されたビット線B L T, B L B に対して、ノードI T, I B を介して高電圧（高電位側電源V D D）を供給することによりビット線のプリチャージレベルを上昇させ、それによって、4 Tセル300からの高速読み出しを可能とする。

【0098】

また、4 Tセル300へのデータ書き込みの際にも、同様にビット線B L T, B L B に対して、ノードI T, I B を介して高電圧（高電位側電源V D D）を供給することによりビット線のプリチャージレベルを上昇させて、書き込みの高速化を図ることができる。

【0099】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0100】

例えば、図1におけるD R A Mセル領域19に代えてF R A M (Ferroelectric RAM) 領域を設け、このF R A M領域に、強誘電体膜をデータ保持用のキャパシタに利用した不揮発性メモリセルをアレイ状に配置するようにしても良い。

【0101】

図1に示される混在型半導体記憶装置において、図11に示されるメインアン

プMA、ライトアンプWA、カラム選択回路110などを適用することができる。

【0102】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAMマクロを含む半導体集積回路に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に広く適用することができる。

【0103】

本発明は、少なくともビット線を含むことを条件に適用することができる。

【0104】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0105】

すなわち、第1、第2、第3、第4トランジスタを含んでメモリセルが構成される時、第3、第4トランジスタを縦型構造とし、第3トランジスタを第1トランジスタに積層し、第4トランジスタを第2トランジスタに積層することにより、セル面積の縮小化を図ることができる。また、第1、第2トランジスタのソース電位とワード線を選択レベルの電位との差が、第3、第4トランジスタのしきい値以上となる条件で設定された電圧を第1、第2トランジスタのソース電極に供給することにより、「0」書き込み補償がなされ、それによて、論理値“0”の書き込みの適正化が達成される。また、高電圧プリチャージ手段は、上記ビット線プリチャージ回路によるプリチャージ電圧よりも高いレベルの電圧でプリチャージを行うことにより、スタンバイ電流の低減化と、読み出し及び書き込みの高速化を図ることができる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体記憶装置の一例とされる混在型半導体記憶装置における主要部の構成例ブロック図である。

【図 2】

上記混在型半導体記憶装置に含まれる 6 Tセルの構成例回路図である。

【図 3】

上記混在型半導体記憶装置に含まれる 4 Tセルの構成例回路図である。

【図 4】

上記 4 Tセルにおける主要部の切断断面図である。

【図 5】

上記 4 Tセルの比較対象とされるバルク構成セルのレイアウト平面図である。

【図 6】

上記 4 Tセルの保持状態と、そのときの主要ノード電圧との関係説明図である。

【図 7】

上記 4 Tセルの書き込み状態と、そのときの主要ノード電圧との関係説明図である。

【図 8】

上記 4 Tセルにおける読み出し時と書き込み時との主要動作波形図である。

【図 9】

メモリセルアレイ部で使用される各種内部電圧の関係説明図である。

【図 10】

本発明にかかる半導体記憶装置を含む半導体集積回路の構成例ブロック図である。

【図 11】

図 10 に示される半導体集積回路に含まれる S R A Mマクロの詳細な構成例回路図である。

【図 12】

上記 S R A Mマクロに含まれるメインアンプとそれに含まれるトランジスタの切断断面との関係説明図である。

【図 13】

上記 S R A Mマクロに含まれるトランスファ MOS と、ドライブ MOS のリー

ク電流特性図である。

【図 1 4】

上記 S R A M マクロに含まれる n チャネル型 M O S トランジスタのオン電流特性図である。

【図 1 5】

上記 S R A M マクロにおける主要部の動作波形図である。

【符号の説明】

1 0 混在型半導体記憶装置

1 1 メインアンプ

1 2 ライトアンプ

1 3, 1 4, 1 5 4 T セル領域

1 6, 1 7, 1 8 6 T セル領域

1 9 D R A M セル領域

2 0, 2 1 ワード線ドライバ

3 0 0 4 T セル

3 0 1, 3 0 2 p チャネル型 M O S トランジスタ

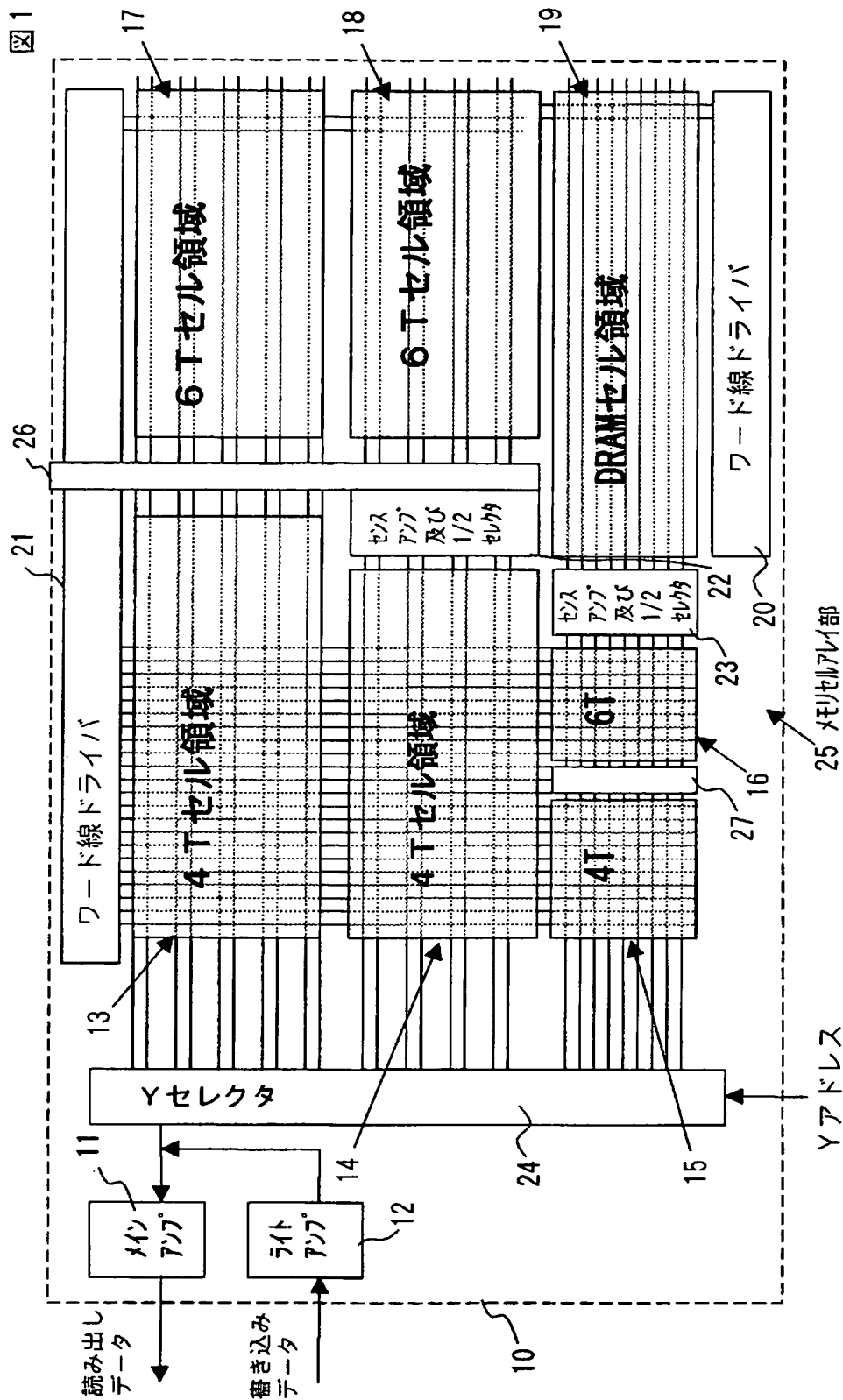
3 0 5, 3 0 6 n チャネル型 M O S トランジスタ

W L ワード線

B L T, B L B ビット線

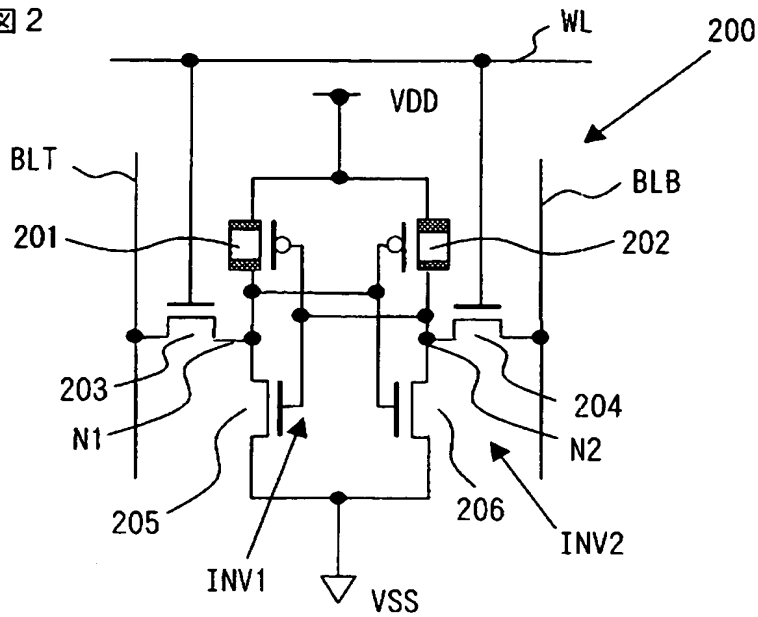
【書類名】 図面

【図 1】



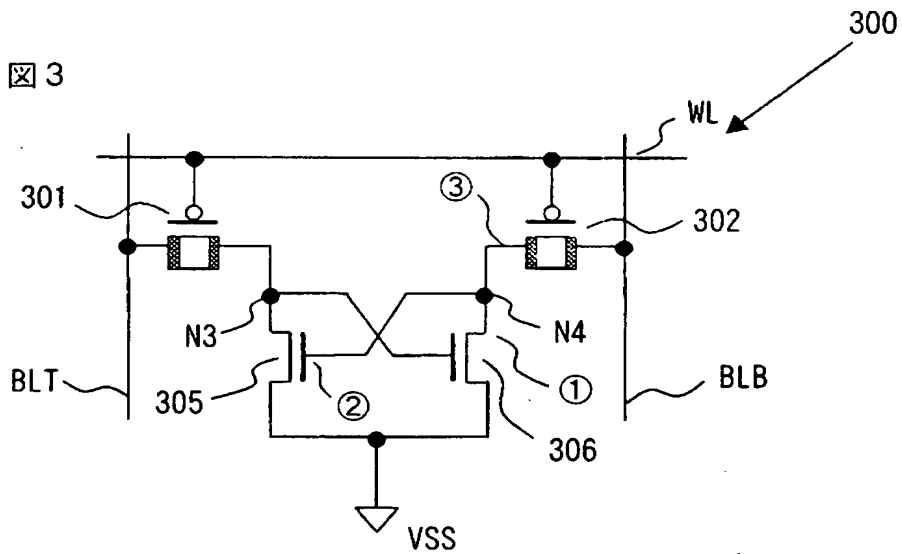
【図 2】

図 2

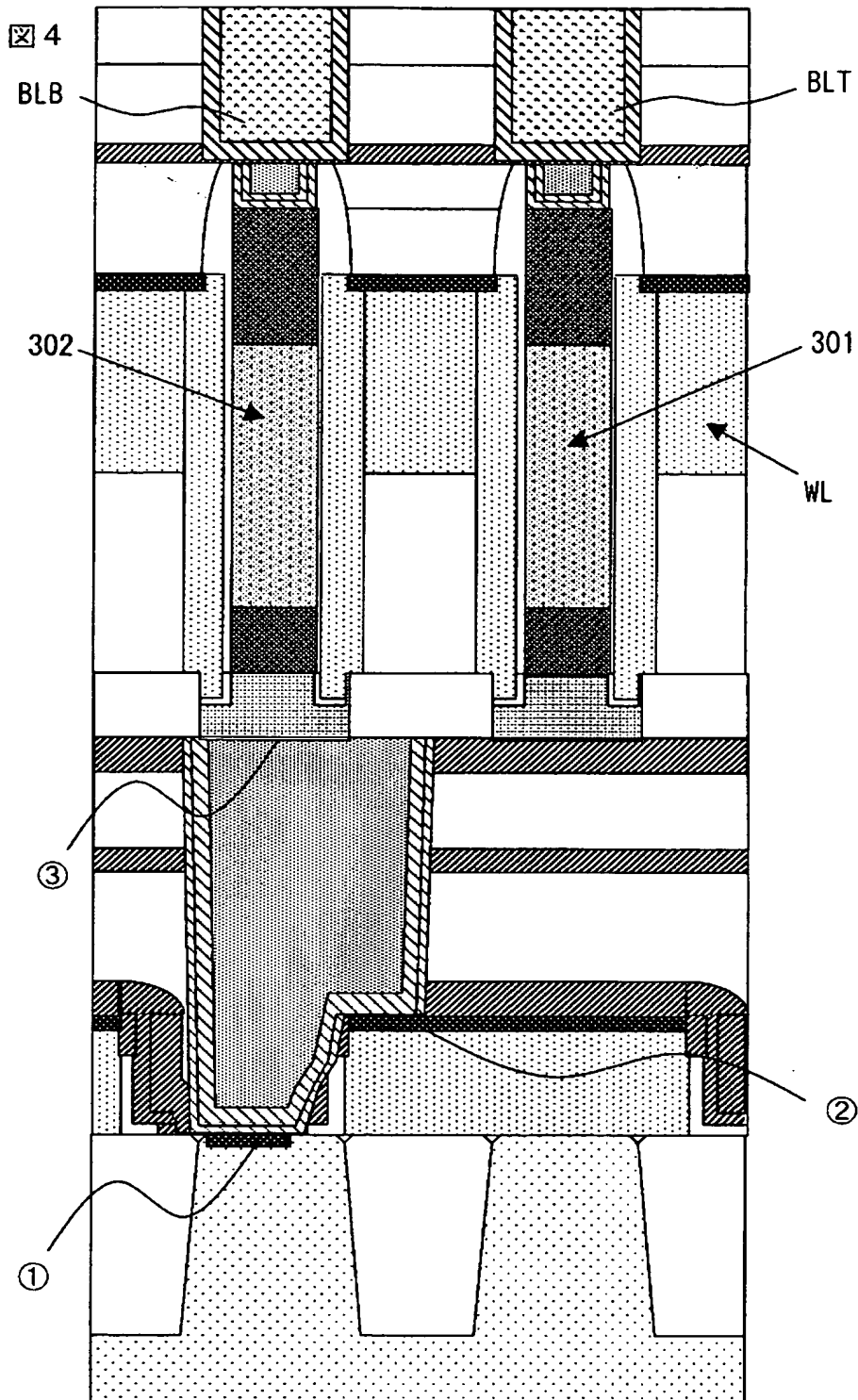


【図 3】

図 3

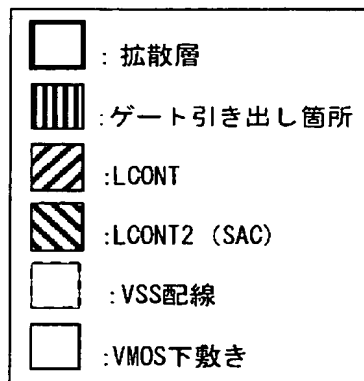
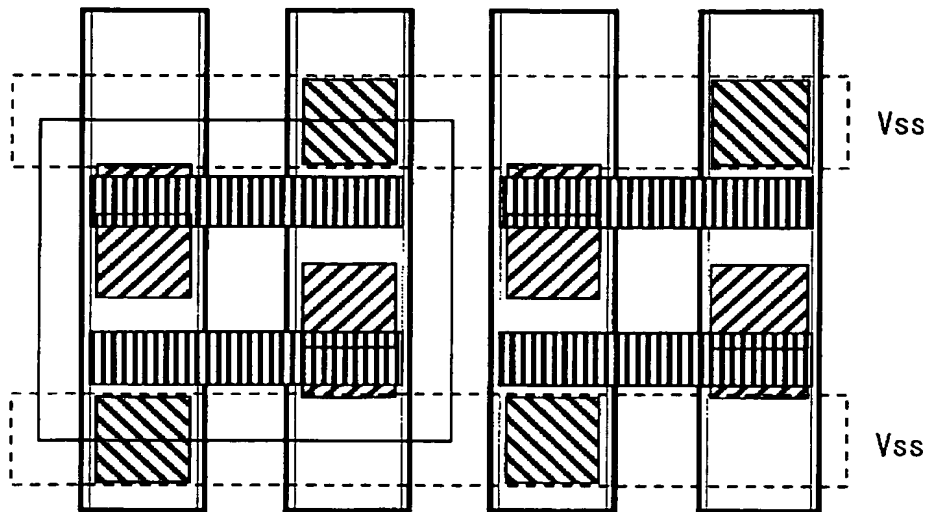


【図 4】



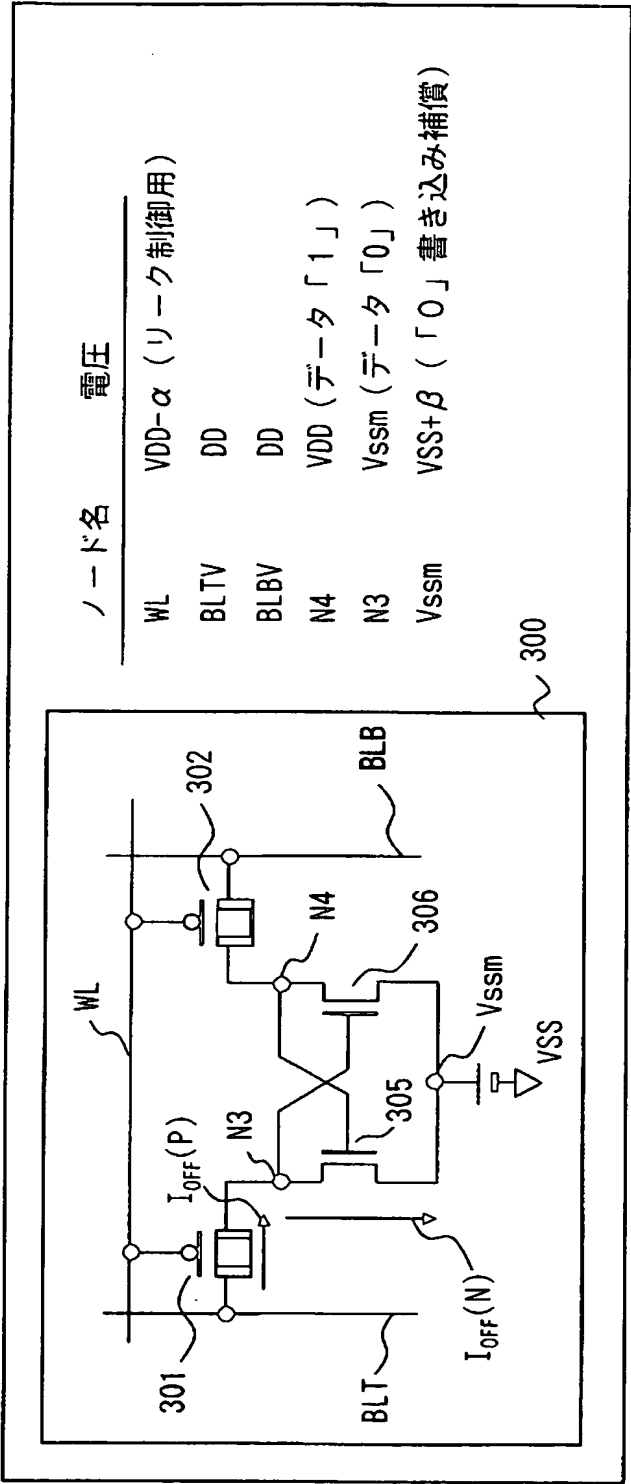
【図 5】

図 5



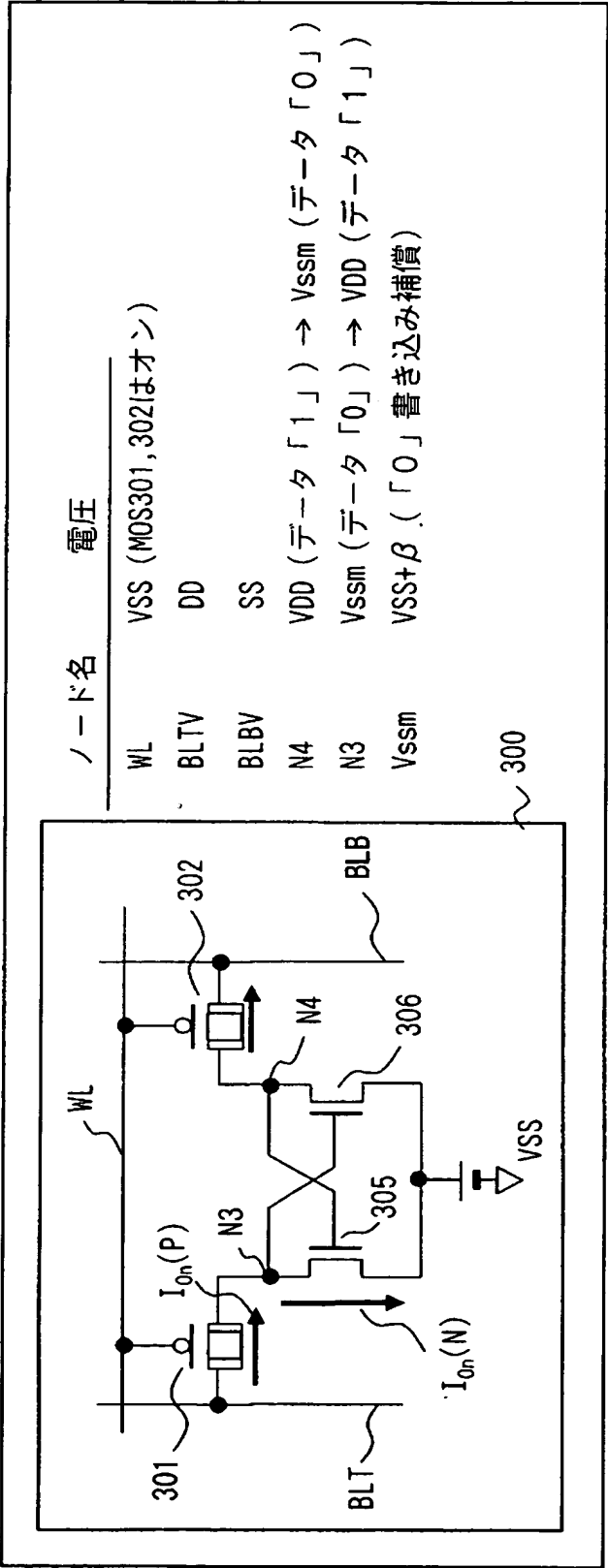
【図 6】

図 6

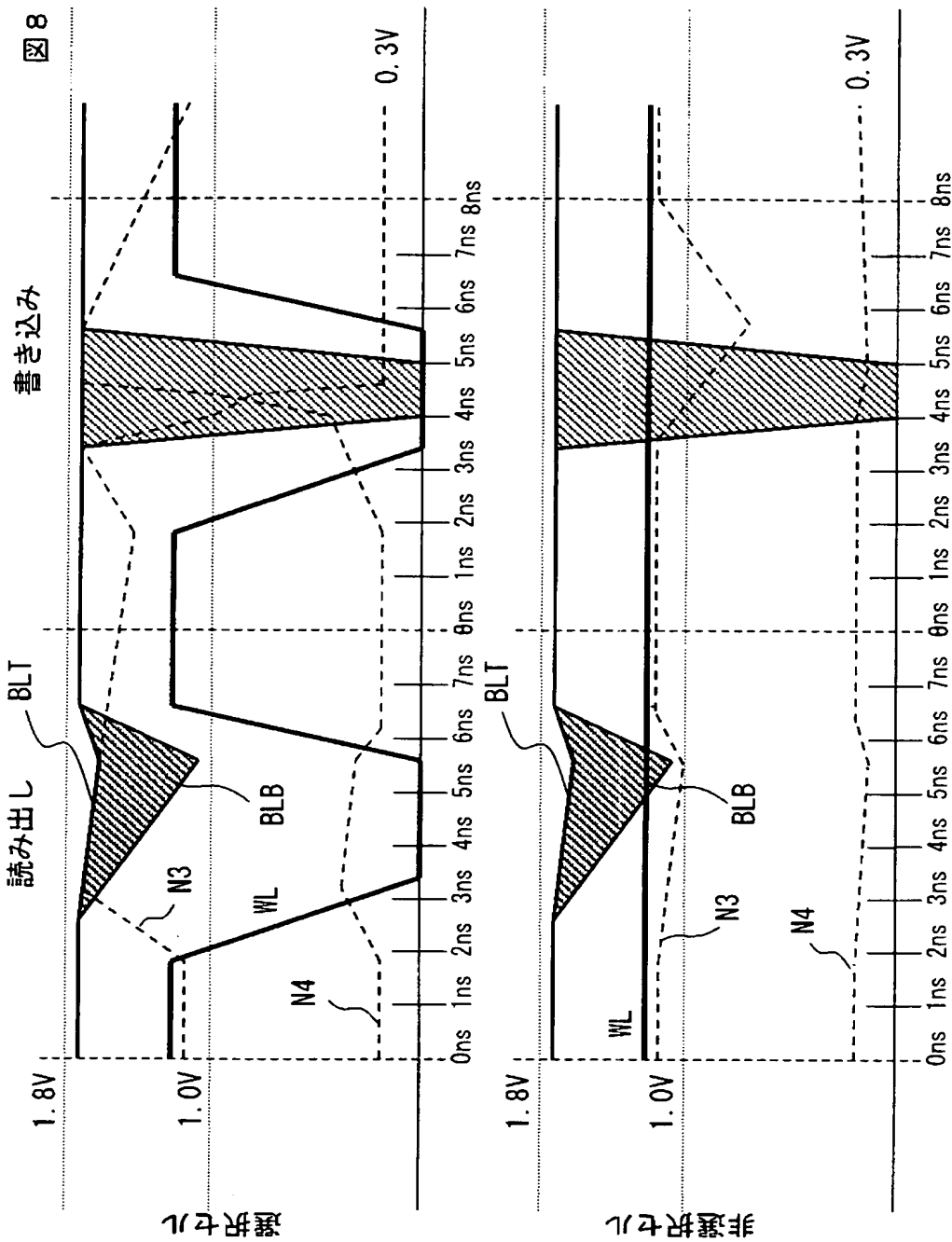


【図 7】

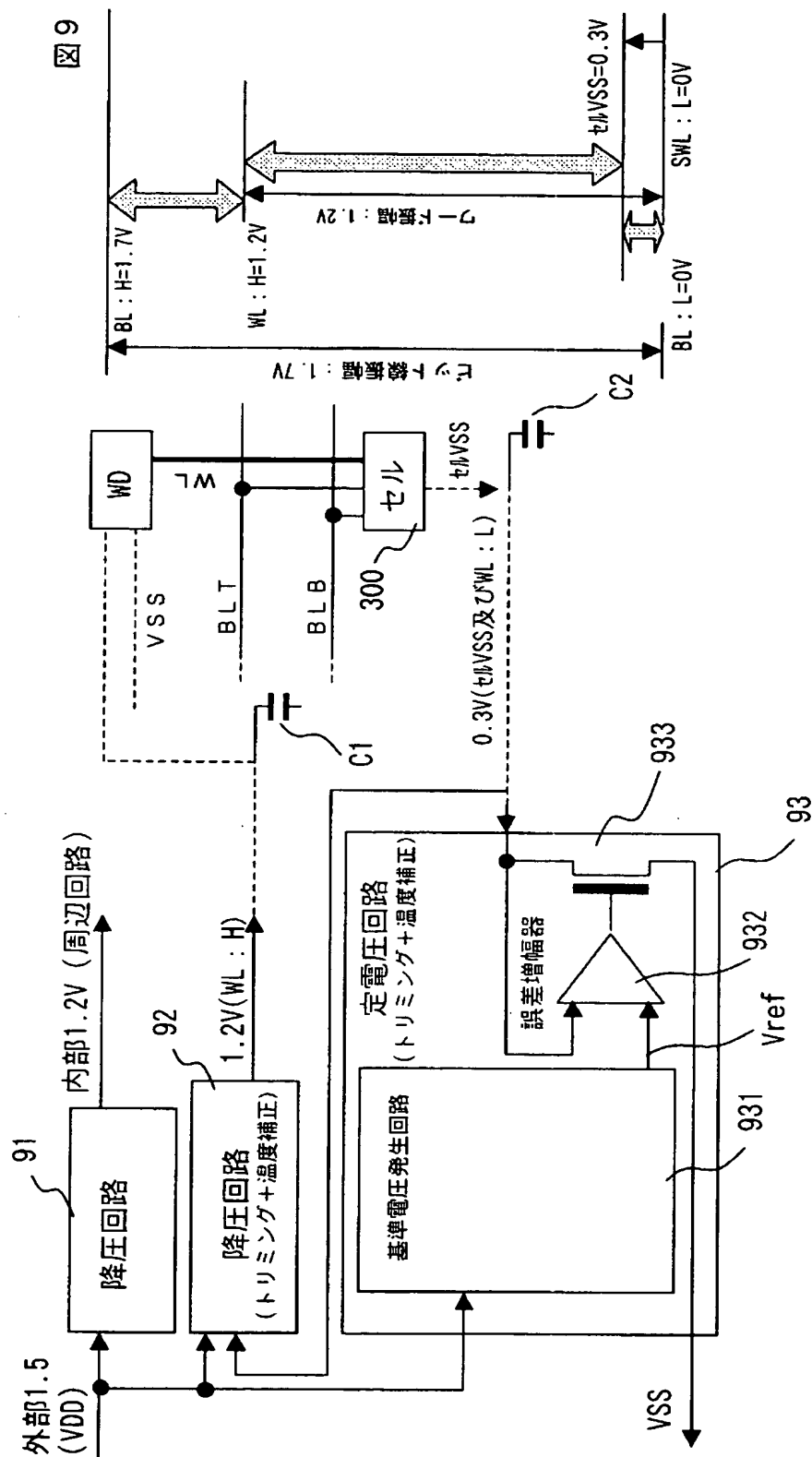
図 7



【図 8】

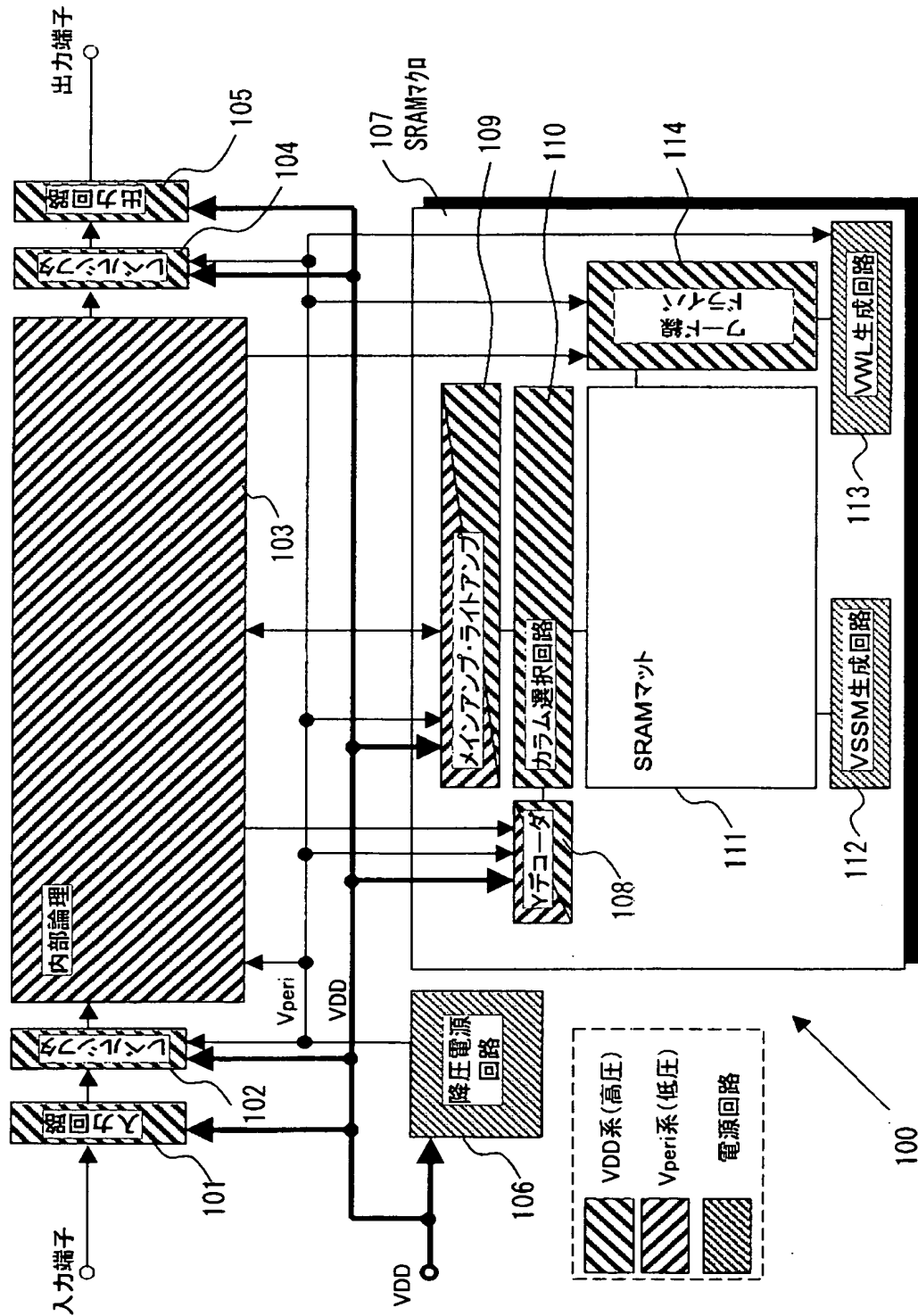


【図 9】

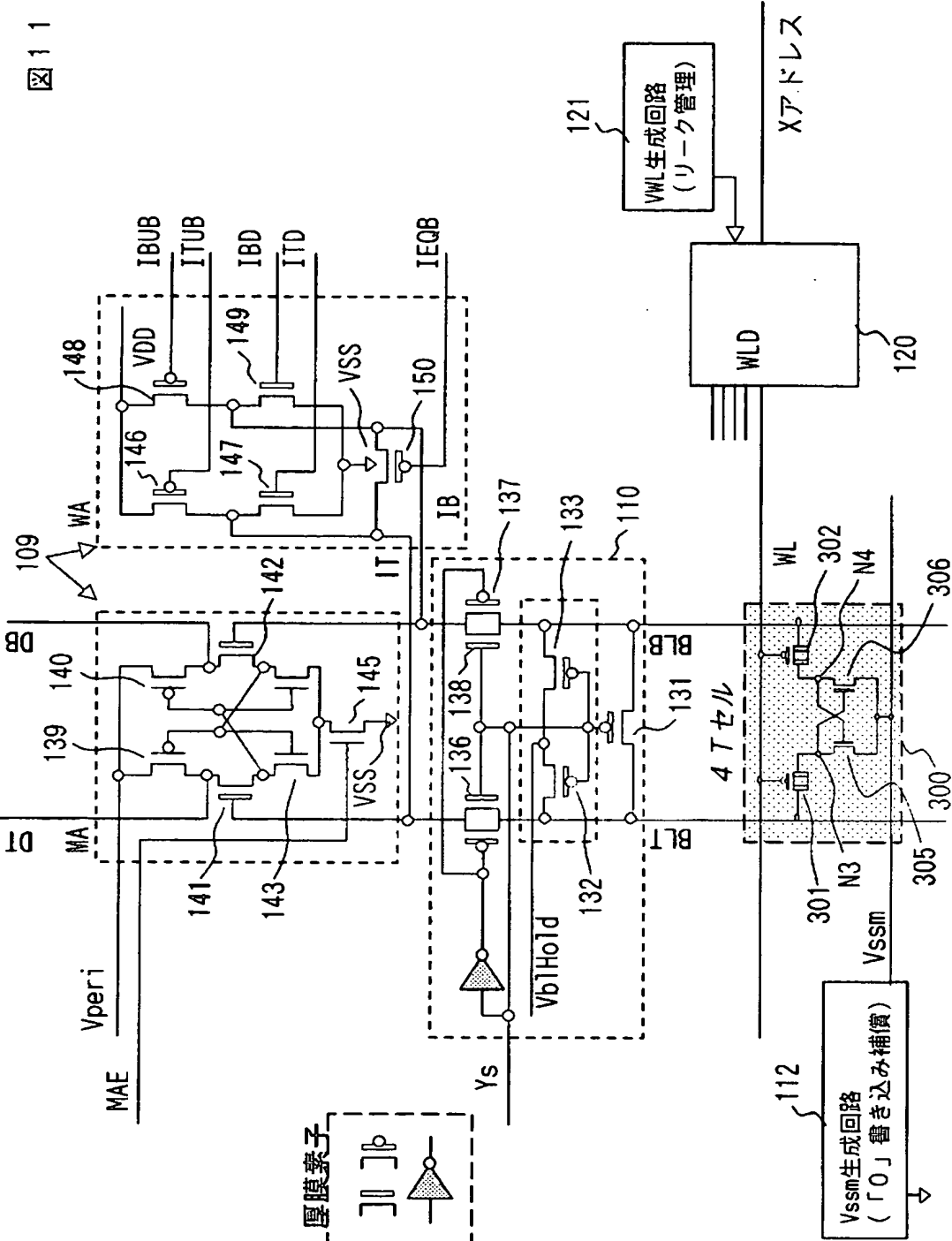


【図 10】

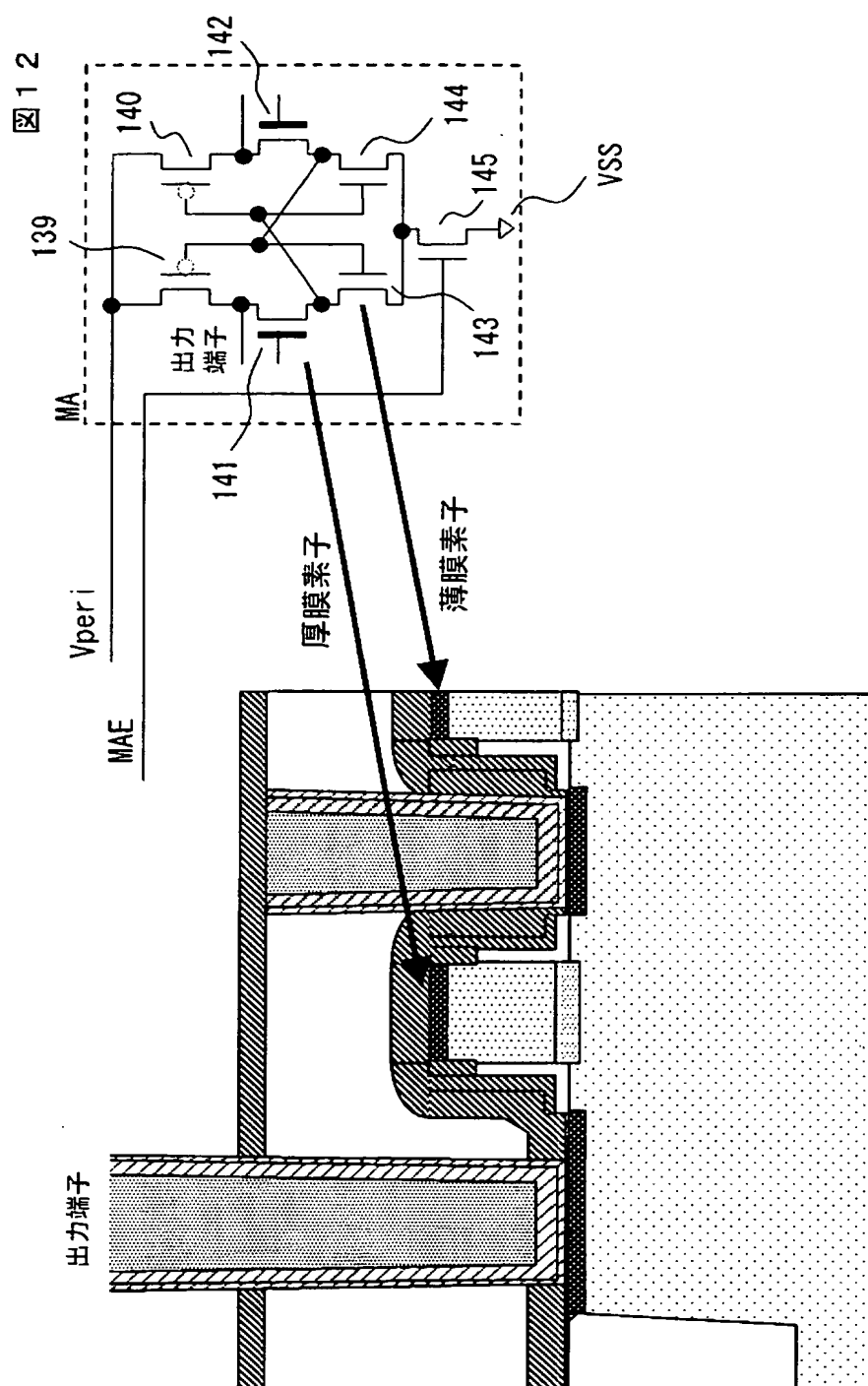
図 10



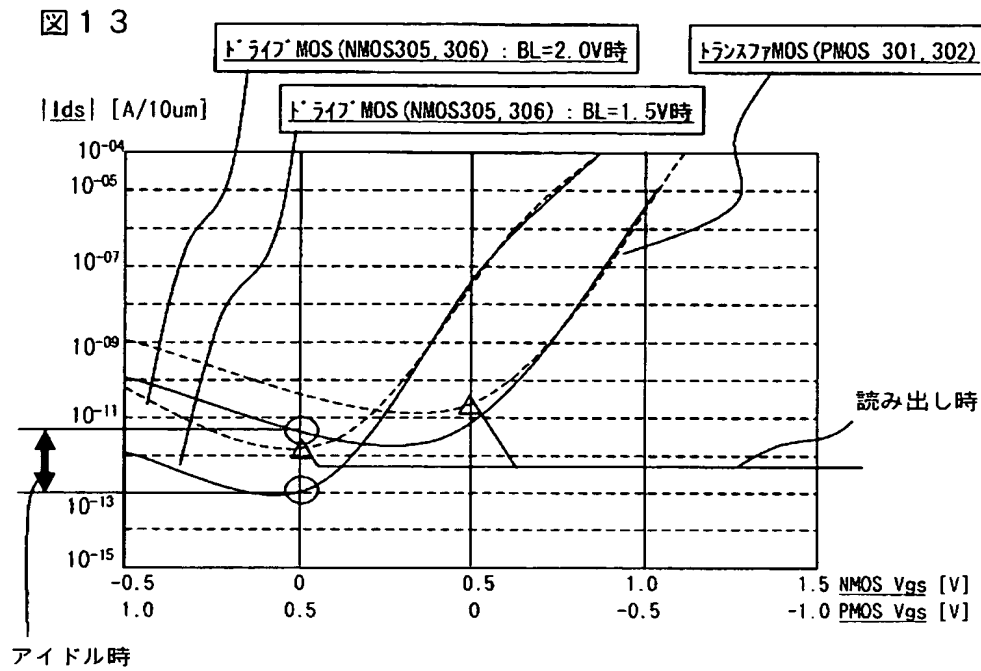
【図 11】



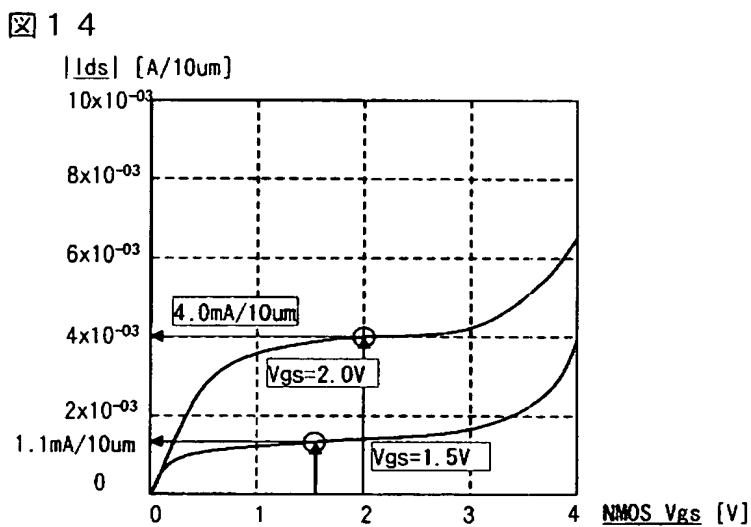
【図 12】



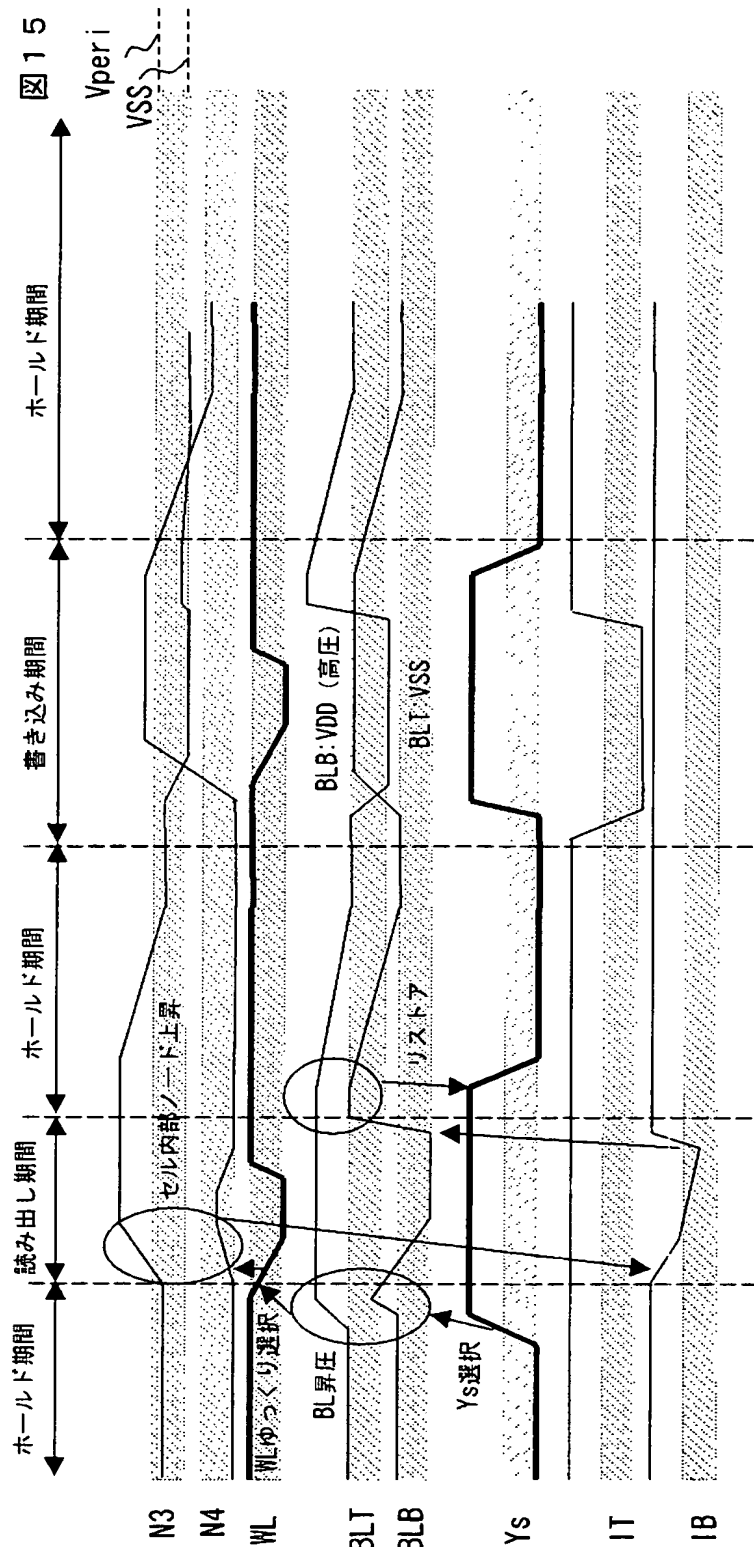
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 セル面積の縮小化と、論理値“0”の書き込みの適正化とを図る。

【解決手段】 第3, 第4トランジスタ(301, 302)を縦型構造とし、上記第3トランジスタを上記第1トランジスタ(305)に積層し、上記第4トランジスタを上記第2トランジスタ(306)に積層することにより、セル面積の縮小化を達成する。そして、上記第1, 第2トランジスタのソース電位と上記ワード線の選択レベルの電位との差が、上記第3, 第4トランジスタのしきい値以上となる条件で設定された電圧を上記第1, 第2トランジスタのソース電極に供給することにより、「0」書き込み補償を行う。

【選択図】 図3

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-347998

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2002-347998
受付番号	50301210805
書類名	出願人名義変更届 (一般承継)
担当官	末武 実 1912
作成日	平成15年10月 7日

< 認定情報・付加情報 >

【提出日】 平成15年 7月23日

特願 2 0 0 2 - 3 4 7 9 9 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日
新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所